

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000106371
PUBLICATION DATE : 11-04-00

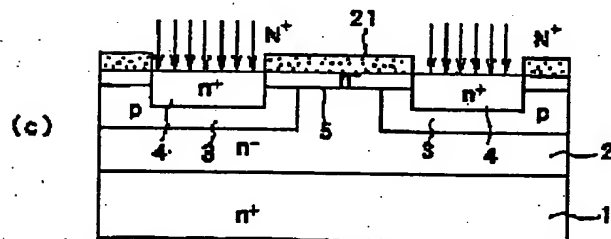
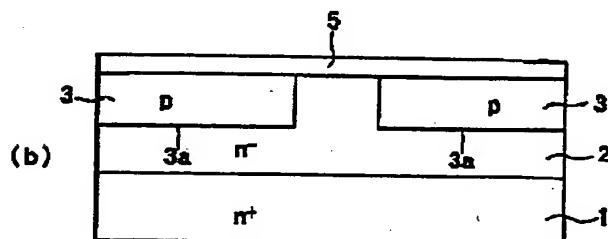
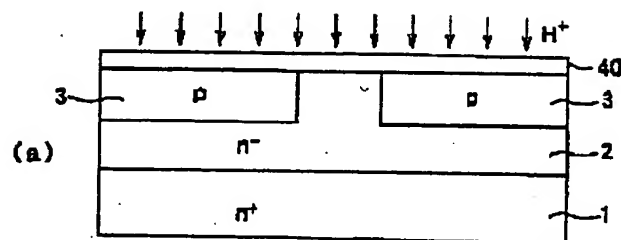
APPLICATION DATE : 30-07-99
APPLICATION NUMBER : 11217888

APPLICANT : DENSO CORP;

INVENTOR : KOJIMA ATSUSHI;

INT.CL. : H01L 21/336 H01L 29/16 H01L 29/78

TITLE : FABRICATION OF SILICON CARBIDE SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To enhance activation rate of an impurity implanted into a silicon carbide semiconductor.

SOLUTION: Nitrogen ions N^+ are implanted into the surface layer part of a p type base region 3. Furthermore, non-impurity ion species, i.e., hydrogen ions, are implanted in order to form an amorphous layer 40 at the surface layer part of the p type base region 3. Subsequently, a surface channel layer 5 is formed by crystallizing the amorphous layer 40 while capturing the impurity through solid phase growth. Since the impurity can be replaced surely at the lattice positions when the surface channel layer 5 is formed by crystallizing the amorphous layer 40 doped with the impurity, activation rate of impurities can be enhanced.

COPYRIGHT: (C)2000,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-106371

(P2000-106371A)

(43) 公開日 平成12年4月11日 (2000.4.11)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 21/336		H 0 1 L 29/78	6 5 8 E
29/16		29/16	
29/78		29/78	6 5 2 E
			6 5 2 T

審査請求 未請求 請求項の数16 O L (全 9 頁)

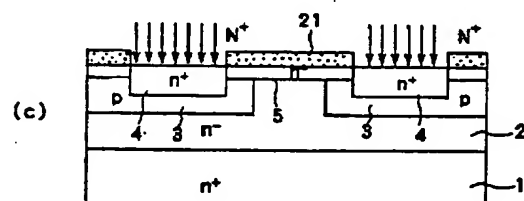
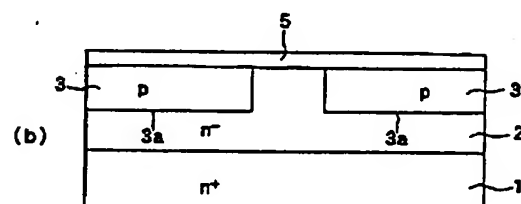
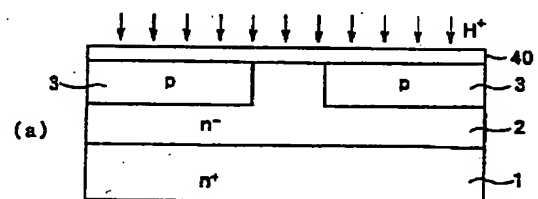
(21) 出願番号	特願平11-217888	(71) 出願人	000004260 株式会社デンソー
(22) 出願日	平成11年7月30日 (1999.7.30)		愛知県刈谷市昭和町1丁目1番地
(31) 優先権主張番号	特願平10-217727	(72) 発明者	奥野 英一
(32) 優先日	平成10年7月31日 (1998.7.31)		愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
(33) 優先権主張国	日本 (J P)	(72) 発明者	小島 淳
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		(74) 代理人	100100022 弁理士 伊藤 洋二 (外2名)

(54) 【発明の名称】 炭化珪素半導体装置の製造方法

(57) 【要約】

【課題】 炭化珪素半導体に注入された不純物の活性化率を向上させる。

【解決手段】 p型ベース領域3の表層部に窒素(N⁺)をイオン注入する。そしてさらに、水素等の不純物とならないイオン種をイオン注入し、p型ベース領域3の表層部をアモルファス化させてアモルファス層40を形成する。その後、固相成長により、不純物を取り込ませつつアモルファス層40を結晶化させて表面チャネル層5を形成する。このように、不純物がドーピングされたアモルファス層40を結晶化させて表面チャネル層5を形成すれば、確実に不純物を格子位置に置換させることができるため、不純物の活性化率を向上させることができる。



【特許請求の範囲】

【請求項1】 炭化珪素からなる半導体層(2)と、該半導体層に隣接し、炭化珪素にドーピングされた不純物を活性化させて形成した不純物層(3)とを有する炭化珪素半導体装置の製造方法において、前記半導体層に隣接するように、n型又はp型不純物がドーピングされた炭化珪素からなるアモルファス層(40)を形成する工程と、固相成長により、前記不純物を取り込ませつつ前記アモルファス層を結晶化させて前記不純物層を形成する工程と、を有することを特徴とする炭化珪素半導体装置の製造方法。

【請求項2】 前記アモルファス層を形成する工程は、前記半導体層にn型又はp型不純物を注入したのち、該注入された不純物とは異なるイオン種をイオン注入することにより該イオン注入された部分の炭化珪素をアモルファス化させる工程であることを特徴とする請求項1に記載の炭化珪素半導体装置の製造方法。

【請求項3】 前記イオン種として、水素、酸素、アルゴン、若しくは同じ比率からなるシリコンと炭素のうちのいずれかを用いることを特徴とする請求項2に記載の炭化珪素半導体装置の製造方法。

【請求項4】 前記アモルファス層を形成する工程は、前記半導体層にn型又はp型不純物のみをイオン注入することにより、該イオン注入された部分の炭化珪素をアモルファス化させる工程であることを特徴とする請求項1に記載の炭化珪素半導体装置の製造方法。

【請求項5】 前記アモルファス化は、該アモルファス化前後におけるラマンスペクトルのピーク比が1/10以下となるように行うことを特徴とする請求項2乃至4のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項6】 前記不純物層の禁止帯の幅が前記半導体層の禁止帯の幅よりも狭くなるように、該不純物層の結晶形を選択することを特徴とする請求項1乃至5のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項7】 前記不純物層と前記半導体層の結晶形の組み合わせを、それぞれ、6Hと4H、3Cと6H、若しくは3Cと4Hのいずれかにすることを特徴とする請求項6に記載の炭化珪素半導体装置の製造方法。

【請求項8】 単結晶炭化珪素よりなる第1導電型の半導体基板(1)の主表面上に、この半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)を形成する工程と、

前記半導体層の表層部の所定領域に第2導電型のベース領域(3)を形成する工程と、

前記ベース領域の表層部に第1導電型の不純物をドーピングして不純物注入層(30)を形成する工程と、

前記不純物注入層に前記不純物とは異なるイオン種をイオン注入することにより、該所定領域をアモルファス化

させてアモルファス層(40)を形成する工程と、

固相成長により、前記不純物を取り込ませつつ前記アモルファス層を結晶化させて第1導電型の表面チャネル層(5)を形成する工程と、

前記ベース領域の表層部の所定領域に前記表面チャネル層に接すると共に、前記ベース領域の深さよりも浅い第1導電型のソース領域(4)を形成する工程と、

前記表面チャネル層上にゲート絶縁膜(7)を介してゲート電極(8)を形成する工程と、

前記ベース領域及び前記ソース領域に接触するソース電極(10)を形成する工程と、

前記半導体基板の裏面側にドレイン電極(11)を形成する工程と、を備えていることを特徴とする炭化珪素半導体装置の製造方法。

【請求項9】 単結晶炭化珪素よりなる第1導電型の半導体基板(1)の主表面上に、この半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)を形成する工程と、

前記半導体層の表層部の所定領域に第2導電型の不純物をドーピングして不純物注入層を形成する工程と、

前記不純物注入層に前記不純物とは異なるイオン種をイオン注入することにより、該所定領域をアモルファス化させてアモルファス層を形成する工程と、

固相成長により、前記不純物を取り込ませつつ前記アモルファス層を結晶化させて第2導電型のベース領域

(3)を形成する工程と、

前記ベース領域の上部に第1導電型の表面チャネル層(5)を形成する工程と、

前記ベース領域の表層部の所定領域に前記表面チャネル層に接すると共に、前記ベース領域の深さよりも浅い第1導電型のソース領域(4)を形成する工程と、

前記表面チャネル層上にゲート絶縁膜(7)を介してゲート電極(8)を形成する工程と、

前記ベース領域及び前記ソース領域に接触するソース電極(10)を形成する工程と、

前記半導体基板の裏面側にドレイン電極(11)を形成する工程と、を備えていることを特徴とする炭化珪素半導体装置の製造方法。

【請求項10】 前記ベース領域の禁止帯の幅が前記半導体層の禁止帯の幅よりも狭くなるように、該ベース領域の結晶形を選択することを特徴とする請求項9に記載の炭化珪素半導体装置の製造方法。

【請求項11】 前記イオン種として、水素、酸素、アルゴン、若しくは同じ比率からなるシリコンと炭素のうちのいずれかを用いることを特徴とする請求項8乃至10のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項12】 炭化珪素からなる半導体層(2)と、該半導体層に隣接し、炭化珪素にドーピングされた不純物を活性化させて形成した不純物層(3)と、

半導体層の表層部の所定領域に第2導電型の不純物をドーピングして不純物注入層を形成したのち、不純物注入層に前記不純物とは異なるイオン種をイオン注入することによりアモルファス層を形成し、固相成長により、不純物を取り込ませつつアモルファス層を結晶化させてベース領域(3)を形成することを特徴としている。

【0018】このように、ベース領域の形成において、請求項1と同様の工程を用いることにより、ベース領域を高活性化率で形成することができる。

【0019】さらに、この場合、請求項10に示すように、ベース領域の禁止帯の幅が半導体層の禁止帯の幅よりも狭くなるように、該ベース領域の結晶形を選択すれば、ベース領域とソース電極(10)とのコンタクト抵抗を低減することができる。

【0020】また、請求項12に示すように、不純物層を気相成長法にて形成する際に同時に不純物も取り込むように成長させることで、不純物を格子位置に配置させることができ、不純物の活性化率が向上する。そして、不純物層を結晶化させる際に、4H以外の多型、たとえば請求項14に示すように6Hとすることにより、不純物層をトランジスタのチャネル層として用いる場合、不純物層の上に形成する絶縁膜中に生じる欠陥の影響を抑制することができる。この効果は、請求項14に示した多型の組合せのみならず、絶縁層と不純物層を形成する炭化珪素との仕事関数が酸化絶縁膜と4H炭化珪素との差と異なる形状とすることにより、同様に得ることができる。その例として請求項15や請求項16に示した場合があり得る。

【0021】尚、以上説明したような半導体層を4Hとし、チャネル層となる不純物層を4H以外とすることは、特に以降に示す実施形態のように、チャネル層が半導体基板(半導体層)の表面に対して平行な位置に形成され、電子がそのチャネル層を流れ、さらに半導体基板の厚さ方向に流れるいわゆる縦型のプレーナタイプの素子において有効である。すなわち、プレーナタイプにおいてはチャネル層が半導体基板に対して平行(横方向)に形成されている場合には4H以外にも電子の移動度を高くすることができ、かつ電子が縦方向に流れる半導体基板においては電子の移動度を高くできる4Hを用いることで半導体装置全体として電子の移動度を高くすることができる。

【0022】なお、上記した括弧内の符号は、後述する実施形態記載の具体的手段との対応関係を示すものである。

【0023】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。

【0024】図1に、本発明の一実施形態を適用して形成したノーマリオフ型のnチャネルタイププレーナ型のMOSFET(以下、縦型パワーMOSFETという)

の断面構成を示す。本デバイスは、インバータや車両用オルタネータのレクチファイヤに適用すると好適なものである。以下、図1に基づいて縦型パワーMOSFETの構造について説明する。

【0025】炭化珪素からなるn⁺型半導体基板1は上面を主表面1aとし、主表面の反対面である下面を裏面1bとしている。このn⁺型半導体基板1の主表面1a上には、基板1よりも低いドーパント濃度を有する炭化珪素からなるn⁻型エピタキシャル層(以下、n⁻型エピ層という)2が積層されている。

【0026】n⁻型エピ層2の表層部における所定領域には、所定深さを有するp⁻型ベース領域3が形成されている。このp⁻型ベース領域3はBをドーパントとして形成されており、略 $1 \times 10^{17} \text{ cm}^{-3}$ 以上の濃度となっている。

【0027】また、p⁻型ベース領域3の表層部の所定領域には、該ベース領域3よりも浅いn⁺型ソース領域4が形成されている。

【0028】さらに、n⁺型ソース領域4とn⁻型エピ層2とを繋ぐように、p⁻型ベース領域3の表面部にはn⁻型SiC層5が延設されている。このn⁻型SiC層5は、エピタキシャル成長にて形成されたものであり、エピタキシャル膜の結晶が4H、6H、3Cのものを有する。尚、このn⁻型SiC層5はデバイスの動作時にチャネル形成層として機能する。以下、n⁻型SiC層5を表面チャネル層という。

【0029】表面チャネル層5はN(窒素)をドーパントに用いて形成されており、そのドーパント濃度は、例えば $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度で、かつ、n⁻型エピ層2及びp⁻型ベース領域3のドーパント濃度以下となっている。これにより、低オン抵抗化が図られている。

【0030】表面チャネル層5の上面およびn⁺型ソース領域4の上面には熱酸化にてゲート酸化膜7が形成されている。さらに、ゲート酸化膜7の上にはゲート電極8が形成されている。ゲート電極8は絶縁膜9にて覆われている。絶縁膜9としてLTO(Low Temperature Oxide)膜が用いられている。その上にはソース電極10が形成され、ソース電極10はn⁺型ソース領域4およびp⁻型ベース領域3と接している。また、n⁺型半導体基板1の裏面1bには、ドレイン電極層11が形成されている。

【0031】次に、図1に示すMOSFETの製造工程を、図2～図4に基づいて説明する。

【0032】〔図2(a)に示す工程〕まず、n型4H、6H、若しくは3C-SiC基板、すなわちn⁺型半導体基板1を用意する。ここで、n⁺型半導体基板1はその厚さが400 μm であり、主表面1aが(0001)Si面、又は、(112-0)a面である。この基板1の主表面1aに厚さ5 μm のn⁻型エピ層2をエピ

タキシャル成長させる。本例では、 n^- 型エピ層2は下地の基板1と同様の結晶が得られ、 n 型4Hまたは6Hまたは3C-SiC層となる。

【0033】〔図2(b)に示す工程〕 n^- 型エピ層2の上の所定領域にLTO (Low Temperature Oxidation) 膜20を配置し、これをマスクとしてBのイオン注入を行う。このとき、イオン注入条件は、温度が700℃、ドーズ量が $1 \times 10^{16} \text{ cm}^{-2}$ としている。これにより、 n^- 型エピ層2の表面から所定深さの位置に、Bよりなるボックスプロファイルが形成される。

【0034】その後、熱処理として、1600℃、30分間の活性化アニールを施し、Bを活性化させてp型ベース領域3を形成する。

【0035】〔図2(c)に示す工程〕p型ベース領域3を含む n^- 型エピ層2に n 型不純物を構成する窒素(N^+)のイオン注入を行う。これにより、p型ベース領域3及び n^- 型エピ層2の表層部に不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下、膜厚が0.3 μm 以下の窒素イオン注入層30が形成される。

【0036】〔図3(a)に示す工程〕次に、窒素イオン注入層30に、さらに n 型や p 型不純物とならない水素、酸素、アルゴン、若しくは同じ比率のシリコンと炭素をイオン注入することにより、窒素イオン注入層30をアモルファス化させ、アモルファス層40を形成する。このとき、アモルファス化によりラマンスペクトルのイオン注入によるアモルファス化前後の強度のピーク比が1/10程度まで減少した量になるようにする。

【0037】〔図3(b)に示す工程〕そして、1500℃以下の低温熱処理によってアモルファス層40を3C-SiCに固相成長させる。

【0038】この固相成長の前後の様子をそれぞれ図6(a)、(b)に示す。固相成長は、固体成長源を用いたエピタキシャル成長であるため、イオン注入によって不規則な位置にドーピングされた不純物(図6(a))を取り込みながら結晶成長が進み、ドーピングされた不純物が確実に格子位置に置換される(図6(b))。このため、ドーピングされた不純物は高い活性化率で活性化される。なお、不純物N(窒素)は、格子位置に取り込まれる際、C(カーボン)サイトに取り込まれる。

【0039】このように、窒素注入層30に n 型や p 型不純物とならないイオンを注入することによりアモルファス化させ、さらに固相成長によりアモルファス化されたアモルファス層40内の不純物を高活性化率で活性化させることができる。

【0040】さらに、1800℃以上の高温熱処理によって、3Cで固相成長されたアモルファス層40を4H又は6Hに固相変態させる。これにより、3Cよりも高移動度となる4H又は6Hで構成された表面チャネル層5が形成される。

【0041】なお、アモルファス層40を一度3Cを介して4H又は6Hに変態する理由は、3Cが低温安定であり、高温熱処理により一度にアモルファス層から4H、6Hに変態するよりも安定して4H、6Hを得ることが可能と考えられるからである。もちろん、熱処理条件によってはアモルファス層から一度に4H、6Hへ変態させることも可能と考えられる。

【0042】また、このとき、縦型パワーMOSFETをノーマリオフ型にするために、表面チャネル層5の厚み(膜厚)を、ゲート電極8に電圧を印加していない時におけるp型ベース領域3から表面チャネル層5に広がる空乏層の伸び量と、ゲート酸化膜7から表面チャネル層5に広がる空乏層の伸び量との和よりも小さくするようにしている。

【0043】具体的には、p型ベース領域3から表面チャネル層5に広がる空乏層の伸び量は、表面チャネル層5とp型ベース領域3とのPN接合のビルトイン電圧によって決定され、ゲート酸化膜7から表面チャネル層5に広がる空乏層の伸び量は、ゲート酸化膜7の電荷及びゲート電極8(金属)と表面チャネル層5(半導体)との仕事関数差によって決定されるため、これらに基づいて表面チャネル層5の膜厚を決定している。

【0044】このようなノーマリオフ型の縦型パワーMOSFETは、故障などによってゲート電極に電圧が印加できないような状態となっても、電流が流れないようにすることができるため、ノーマリオン型のものと比べて安全性を確保することができる。

【0045】また、図1に示すように、p型ベース領域3は、ソース電極10と接触して接地状態となっている。このため、表面チャネル層5とp型ベース領域3とのPN接合のビルトイン電圧を利用して表面チャネル層5をピンチオフすることができる。例えば、p型ベース領域3が接地されてなくてフローティング状態となっている場合には、ビルトイン電圧を利用してp型ベース領域3から空乏層を延ばすということができないため、p型ベース領域3をソース電極10と接触させることは、表面チャネル層5をピンチオフするのに有効な構造であるといえる。

【0046】なお、p型ベース領域3の不純物濃度を高くすることによりビルトイン電圧をより大きく利用することができる。

【0047】また、本実施形態では炭化珪素によって縦型パワーMOSFETを製造しているが、これをシリコンを用いて製造しようとする、p型ベース領域3や表面チャネル層5等の不純物層を形成する際における熱拡散の拡散量の制御が困難であるため、上記構成と同様のノーマリオフ型のMOSFETを製造することが困難となる。このため、本実施形態のようにSiCを用いることにより、シリコンを用いた場合と比べて精度良く縦型パワーMOSFETを製造することができる。

【0048】また、ノーマリオフ型の縦型パワーMOSFETにするためには、上記条件を満たすように表面チャネル層5の厚みを設定する必要があるが、シリコンを用いた場合にはビルトイン電圧が低いいため、表面チャネル層5の厚みを薄くしたり不純物濃度を薄くして形成しなければならず、不純物イオンの拡散量の制御が困難なことを考慮すると、非常に製造が困難であるといえる。しかしながら、SiCを用いた場合にはビルトイン電圧がシリコンの約3倍と高く、表面チャネル層5の厚みを厚くしたり不純物濃度を濃くして形成できるため、ノーマリオフ型の蓄積型MOSFETを製造することが容易であるといえる。

【0049】〔図3(c)に示す工程〕次に、表面チャネル層5の上の所定領域にLTO膜21を配置し、これをマスクとしてN(窒素)等のn型不純物をイオン注入し、n⁺型ソース領域4を形成する。このときのイオン注入条件は、700℃、ドーズ量は $1 \times 10^{15} \text{ cm}^{-2}$ としている。

【0050】〔図4(a)に示す工程〕そして、LTO膜21を除去した後、フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜22を配置し、これをマスクとしてRIEによりp⁻型ベース領域3上の表面チャネル層5を部分的にエッチング除去する。

【0051】〔図4(b)に示す工程〕LTO膜22を除去した後、基板の上にウェット酸化($\text{H}_2 + \text{O}_2$ によるパイロジェニック法を含む)によりゲート酸化膜7を形成する。このとき、雰囲気温度は1080℃とする。

【0052】その後、ゲート絶縁膜7の上にポリシリコンからなるゲート電極8をLPCVDにより堆積する。このときの成膜温度は600℃とする。

【0053】〔図4(c)に示す工程〕引き続き、ゲート絶縁膜7の不要部分を除去した後、LTOよりなる絶縁膜9を形成しゲート絶縁膜7を覆う。より詳しくは、成膜温度は425℃であり、成膜後に1000℃のアニールを行う。

【0054】〔図5(a)に示す工程〕そして、室温での金属スパッタリングによりソース電極10及びドレイン電極11を配置する。また、成膜後に1000℃のアニールを行う。

【0055】このようにして、図1に示す縦型パワーMOSFETが完成する。

【0056】このように完成した縦型パワーMOSFETの作用(動作)を説明する。

【0057】本MOSFETはノーマリオフ型の蓄積モードで動作するものであって、ゲート電極8に電圧を印加しない場合は、表面チャネル層5においてキャリアは、p型ベース領域3と表面チャネル層5との間の静電ポテンシャルの差、及び表面チャネル層5とゲート電極8との間の仕事関数の差により生じた電位によって全域空乏化される。そして、ゲート電極8に電圧を印加する

ことにより、表面チャネル層5とゲート電極8との間の仕事関数の差と外部からの印加電圧の和により生じる電位差を変化させる。このことにより、チャネルの状態を制御することができる。

【0058】つまり、ゲート電極8の仕事関数を第1の仕事関数とし、p型ベース領域3の仕事関数を第2の仕事関数とし、表面チャネル層5の仕事関数を第3の仕事関数としたとき、第1～第3の仕事関数の差を利用して、表面チャネル層5のn型のキャリアを空乏化する様に第1～第3の仕事関数と表面チャネル層5の不純物濃度及び膜厚を設定することができる。

【0059】また、オフ状態において、空乏領域は、p型ベース領域3及びゲート電極8により作られた電界によって、表面チャネル層5内に形成される。この状態からゲート電極8に対して正のバイアスを供給すると、ゲート絶縁膜(SiO_2)7と表面チャネル層5との間の界面においてn⁺型ソース領域4からn⁻型ドリフト領域2方向へ延びるチャネル領域が形成され、オン状態にスイッチングされる。このとき、電子は、n⁺型ソース領域4から表面チャネル層5を経由し表面チャネル層5からn⁻型エビ層2に流れる。そして、n⁻型エビ層2(ドリフト領域)に達すると、電子は、n⁺型半導体基板1(n⁺ドレイン)へ垂直に流れる。

【0060】このようにゲート電極8に正の電圧を印加することにより、表面チャネル層5に蓄積型チャネルを誘起させ、ソース電極10とドレイン電極11との間にキャリアが流れる。

【0061】なお、本実施形態では、表面チャネル層5が4H又は6Hとなるようにしたが、半導体基板1と異なる結晶形であっても、また同じ結晶形であってもよく、例えば3C、4H、6H、15R、いずれの結晶形を選択することも可能である。

【0062】 SiO_2/SiC 構造のチャネルを形成した場合、 SiO_2 に起因した欠陥によりSiCチャネル部の移動度が低下する場合がある。欠陥の種類によっては、4HSiCの伝導帯とはほぼ一致したエネルギー帯に欠陥が生成される場合がある。本実施例を用いれば、基板を4Hとしたままチャネル部のみ6H(又は3C、15R)とすることが可能となり、上記欠陥を回避できる。

【0063】この実施形態では、表面チャネル層5を固相成長のみならず、CVD等を用いたエピタキシャル成長を用いて形成してもよい。

【0064】また、表面チャネル層5を形成するためのアモルファス層40をイオン注入によって形成したが、エピタキシャル成長装置(例えば、CVD装置やMBE装置)を用いて、n型不純物をドーピングしつつエピタキシャル成長させて形成してもよい。

【0065】この場合、エピタキシャル成長装置を比較的低温に設定してエピタキシャル成長を行えば、アモル

るものと考えられる。この原理によってより確実に活性化率を高めることができる。

【0083】以上から、本発明はSiCの異なる結晶形態によるヘテロ接合によって不純物の活性化率を向上させることができる発明とも言える。

【0084】つまり、上記第2実施形態や他の実施形態で示したコンタクト構造、HEMT構造は固相変態を利用した不純物の活性化率を向上させることができ、ヘテロ接合構造によってさらに活性化率を向上させることができる構造と言える。

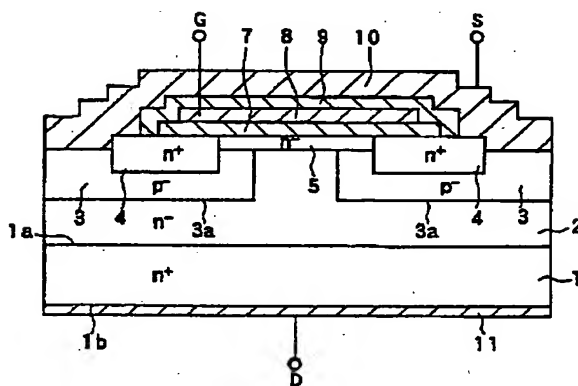
【0085】また、上記実施形態では、表面チャネル層5について高活性化率が得られるようにした例を示したが、この他の部分についても表面チャネル層5と同様に、イオン注入によってアモルファス化させると共に、アモルファス化させた部分を固相変態させることによって高活性化率が得られるようにできる。

【0086】なお、上記実施形態ではn型やp型不純物とならない水素等を注入することにより、ラマンのピーク比が所定値以上になるようにアモルファス化させたが、n型やp型不純物のドーズ量が多い場合には、これらの不純物の注入のみによって上記条件を満たす可能性があるため、このような場合には、n型やp型不純物とならない水素等を注入する必要はない。

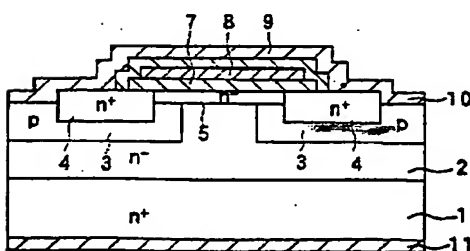
【0087】

【図面の簡単な説明】

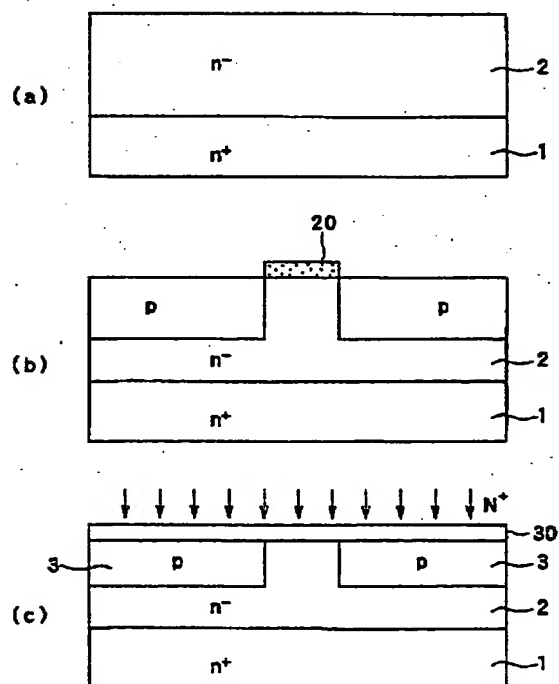
【図1】



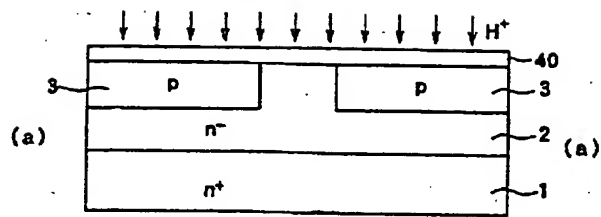
【図5】



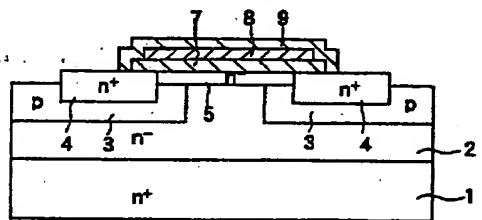
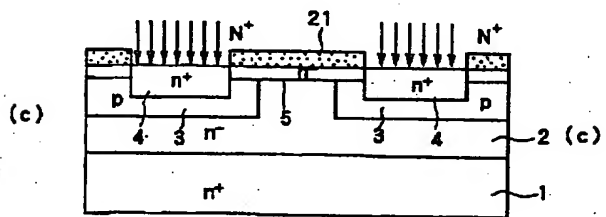
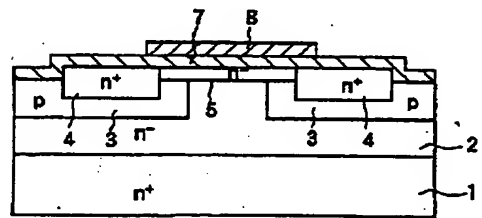
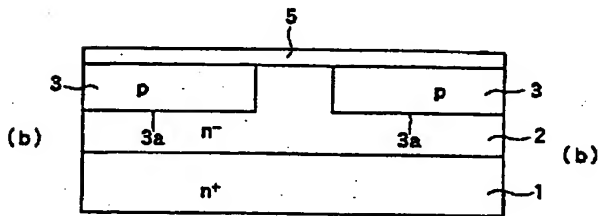
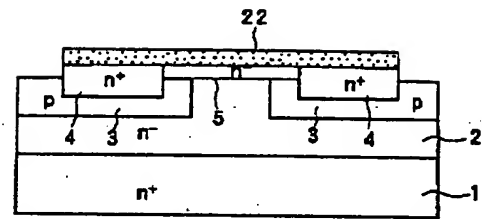
【図2】



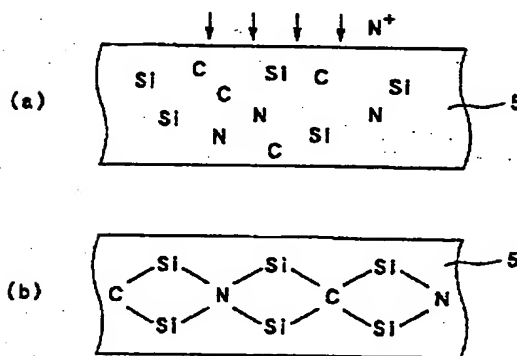
【図3】



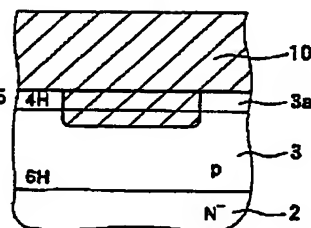
【図4】



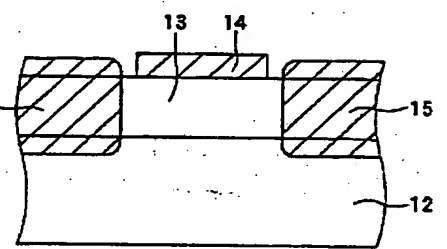
【図6】



【図7】



【図8】



THIS PAGE BLANK (USPTO)